

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-102581  
 (43)Date of publication of application : 13.04.2001

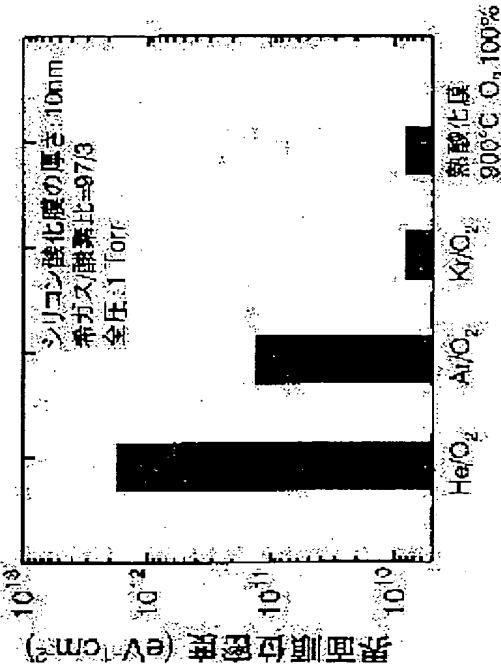
(51)Int.CI.  
 H01L 29/78  
 H01L 21/316  
 H01L 21/8234  
 H01L 27/088  
 H01L 29/786  
 H01L 21/336  
 H05H 1/46

(21)Application number : 11-375973  
 (22)Date of filing : 25.11.1999  
 (71)Applicant : OMI TADAHIRO  
 (72)Inventor : OMI TADAHIRO

(30)Priority  
 Priority number : 11241983 Priority date : 26.07.1999 Priority country : JP

## (54) SEMICONDUCTOR DEVICE WITH Kr-CONTAINING SILICON OXIDE FILM INTEGRATED THEREINTO, AND MANUFACTURING METHOD OF THE SILICON OXIDE FILM

(57)Abstract:  
**PROBLEM TO BE SOLVED:** To form a uniform silicon oxide film of a high quality on the surface of a substrate at a low substrate-temperature of 200–500°C, and to provide a semiconductor device using the silicon oxide film and improve the reliability of the device, by making not larger than 30% the uniformity of the thickness of the silicon oxide film in the surface of a silicon present in the sidewall portion of the recessed portion of an element isolation region.  
**SOLUTION:** A silicon oxide film relative to the device is characterized in that Kr is contained in it. That is, by making the silicon oxide film contain Kr in it, stresses are relaxed in the silicon oxide film and the interface between the silicon oxide and a silicon. Thereby, despite of forming the silicon oxide film at a low temperature, the silicon oxide film of a high quality is formed to make not larger than 30% the unevenness of its thickness in the surface of a silicon present in the sidewall portion of the recessed portion of an element isolation region.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of  
rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-102581

(P2001-102581A)

(43)公開日 平成13年4月13日 (2001.4.13)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テマコード*(参考)
H 01 L 29/78		H 01 L 21/316	5 F 0 4 0
21/316		H 05 H 1/46	B 5 F 0 4 8
21/8234		H 01 L 29/78	3 0 1 G 5 F 0 5 8
27/088		27/08	1 0 2 C 5 F 1 1 0
29/786		29/78	6 1 7 T

審査請求 未請求 請求項の数10 書面 (全 24 頁) 最終頁に続く

(21)出願番号	特願平11-375973	(71)出願人	000205041 大見 忠弘 宮城県仙台市青葉区米ヶ袋2-1-17-301
(22)出願日	平成11年11月25日 (1999.11.25)	(72)発明者	大見 忠弘 宮城県仙台市青葉区米ヶ袋2の1の17の301
(31)優先権主張番号	特願平11-241983		
(32)優先日	平成11年7月26日 (1999.7.26)		
(33)優先権主張国	日本 (JP)		

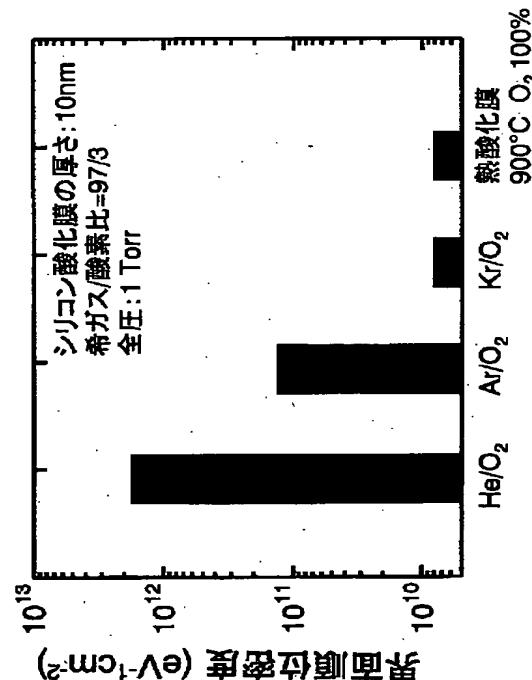
最終頁に続く

(54)【発明の名称】 Kr を含有するシリコン酸化膜を内蔵する半導体装置とシリコン酸化膜の形成方法

(57)【要約】

【課題】本発明は、基板表面に、均一な高品質シリコン酸化膜を、基板温度200-500度の低温で形成すること。および、シリコン酸化膜を用いた半導体装置を提供し、素子分離領域凹部分の側壁部のシリコン表面においてシリコン酸化膜の厚さ30%以内におさえ、デバイスの信頼性を向上することを目的とする。

【解決手段】本発明のシリコン酸化膜は、シリコン酸化膜中にKrを含有することを特徴とする。シリコン酸化膜中にKrを含有させることにより、シリコン酸化膜中および、シリコン/シリコン酸化膜界面でのストレスを緩和することにより、低温で形成したにもかかわらず高品質なシリコン酸化膜を形成し、素子分離領域凹部分の側壁部のシリコン表面においてシリコン酸化膜の厚さの均一性を30%以内にする事を特徴とする。



## 【特許請求の範囲】

【請求項1】シリコンを基体とするトランジスタを複数個含む半導体装置において、前記シリコンの表面に形成されたシリコン酸化膜の少なくとも一部がK<sub>r</sub>を内蔵するシリコン酸化膜であることを特徴とする半導体装置

【請求項2】前記複数のトランジスタ間のシリコン基体の表面の一部に凹形状が形成され、前記凹形状の一部に誘電体が存在する半導体装置において、前記半導体基体の凹形状のシリコン表面部の角にシリコン酸化膜が形成されており、前記シリコン酸化膜の少なくとも一部がK<sub>r</sub>を内蔵するシリコン酸化膜であることを特徴とする半導体装置

【請求項3】前記凹形状の側壁の一部と半導体基体表面のなす角度が少なくとも75度を超える様に前記凹形状の側壁部分が形成されていることを特徴とする請求項1および請求項2に記載の半導体装置

【請求項4】前記半導体基体の前記凹形状以外の表面の少なくとも一部および前記凹形状部表面の少なくとも一部に形成される前記シリコン酸化膜の厚さの差が30%以内であることを特徴とする請求項1および請求項2に記載の半導体装置

【請求項5】絶縁膜上に、表面の一部に凹形状が形成された半導体膜または島状の半導体膜が設けられた半導体装置において、前記半導体基体の凹形状のシリコン表面部の角にシリコン酸化膜が形成されており、前記シリコン酸化膜の少なくとも一部がK<sub>r</sub>を内蔵するシリコン酸化膜であることを特徴とする半導体装置

【請求項6】前記シリコン酸化膜中に含有されるK<sub>r</sub>の含有量が、シリコン酸化膜表面からシリコン/シリコン酸化膜界面に向かって減少していることを特徴とする請求項1から請求項5に記載の半導体装置

【請求項7】前記シリコン酸化膜中のK<sub>r</sub>含有量は、表面密度において $5 \times 10^{-11} \text{ cm}^{-2}$ 以下であることを特徴とする請求項1から請求項5に記載の半導体装置

【請求項8】前記K<sub>r</sub>を含有する請求項1から請求項5に記載のシリコン酸化膜は、処理室中に酸素を含むガスとK<sub>r</sub>ガスを主体とするガスを導入し、マイクロ波により、プラズマを励起して、処理室内に載置されたシリコン基体表面を直接酸化することにより、シリコン基体表面に形成されることを特徴とするシリコン酸化膜の形成方法

【請求項9】前記混合ガス中の酸素分圧は2-4%であり、前記処理室の圧力は800mTorrから1.2Torrであることを特徴とする請求項8に記載のシリコン酸化膜成膜方法

【請求項10】請求項4に記載のプラズマは、900MHz以上10GHz以下の周波数のマイクロ波を用いて励起したプラズマであることを特徴とする請求項9に記載のシリコン酸化膜成膜方法

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、シリコン酸化膜を用いた半導体装置およびシリコン酸化膜の形成方法に係るものであり、特に極薄シリコン酸化膜を用いた半導体装置、シリコンに誘電体が埋め込まれた素子分離構造を有する半導体装置、絶縁膜上に形成される素子分離構造を有する半導体装置およびそれら形成方法に係る。

## 【0002】

【従来の技術】シリコン基板へ形成されるトランジスタのゲート絶縁膜には、低界面準位密度などの高性能特性、高耐圧性、高ホットキャリア耐性などの高信頼性が要求される。これらの要求を満たす酸化膜形成技術として従来は800°C以上の熱酸化が用いられてきた。

【0003】また、シリコン半導体に、より高密度にトランジスタを形成するという要請から、シリコン基体に形成されるトランジスタ集積素子においては、微細化技術の進展に呼応して、バーズピークの広がりがある選択酸化膜（LOCOS）素子分離構造から、幅の狭い誘電体分離が可能となるシャロートレンチアイソレーションなどの素子分離構造が使用されるようになった。

【0004】また、絶縁膜上に形成されるSOI（シリコン・オン・インシュレータ）トランジスタやポリシリコントランジスタの集積素子においては、シリコン酸化膜によるLOCOS分離やシリコンをエッティングして取り除くメサ型分離により、シリコン膜を島状に形成する素子分離構造が使われていた。

## 【0005】

【発明が解決しようとする課題】しかしながら、将来の超高集積・超高速駆動の半導体素子形成には従来の熱酸化は用いることが出来ない。超高速素子を実現するためには、半導体装置に金属材料を導入する必要があるが、550°C以上の高温プロセスを用いると金属と半導体が反応を起こしてしまい、素子の動作性能が劣化するためである。また、高温プロセスを用いると、不純物が再拡散することによって正確な不純物分布の形成が難しくなり、超高集積素子の形成が困難となる。したがって、550°C以下の低温での酸化膜形成が必須となる。

【0006】そこで、近年、シリコン酸化膜を低温で形成する手法が研究されているが、550°C以下で形成されたシリコン酸化膜の特性は、熱酸化膜に匹敵するものではなかった。こうした従来の低温酸化は、熱酸化に比べ酸化速度が遅く、形成されたシリコン酸化膜の界面準位密度や電流電圧特性などの電気的特性は、熱酸化膜に比べると大きく劣るものであった。

【0007】また、シリコン基体に形成されるトランジスタ集積素子の従来の素子分離構造においては、素子分離側壁部の角に近い部分のシリコン酸化膜の膜厚が、平坦なシリコン表面部の膜厚より薄くなることにより、この薄膜化した部分において酸化膜の漏れ電流や耐圧などの特性が劣り、素子の信頼的な性能を劣化させるとい

う問題が発生していた。さらに、ゲート酸化膜が薄い寄生的なトランジスタ素子が通常のゲート酸化膜厚のトランジスタ素子と並列に存在することになり、トランジスタの電流電圧特性を悪化させていた。

【0008】こうした問題を解決しようとして、単にシリコン酸化膜の膜厚を厚くしてこの薄膜化部分で生じる問題を回避しようとすると、このシリコン酸化膜はゲート酸化膜としても使用されているので、MOSトランジスタの駆動能力が悪化してしまうという問題が生じてしまう。そこで、従来は素子分離領域の凹部分の側壁部のシリコン表面に対する角度を約70度以下にして、側壁部の角のシリコン酸化膜の薄膜化を軽減していた。しかしながら、この場合においても約30%以上の薄膜化が生じ、この薄膜化した部分における酸化膜の漏れ電流や耐圧などの特性劣化の発生を完全には防止できていなかった。また、さらには、なだらかな角度を持った凹形状の素子分離領域を形成することで、素子分離幅が広くなり、トランジスタなどの素子を形成する有効な領域の面積的比率が低下し、高密度集積化が図れないという問題が生じていた。

【0009】またさらに、絶縁膜上に形成されるSOI（シリコン・オン・インシレータ）トランジスタやポリシリコントランジスタの集積素子の従来の素子分離構造においては、LOCOS素子分離の場合、ゲート電極下の素子分離酸化膜とシリコンの界面付近に寄生トランジスタ素子が存在するようになり、トランジスタの電気的特性、とくにサブスレッショルド電流特性やオフリード特性を悪化させていた。また、メサ型素子分離の場合、シリコンがエッチングされた素子分離側壁部に良質な酸化膜が形成できず、トランジスタの特性、とくにオフ特性に悪影響を及ぼしていた。

#### 【0010】

【課題を解明するための手段】本発明は、係る従来の課題を解決するためになされたものであり、基板表面に、均一な高品質シリコン酸化膜を、基板温度200-500度の低温で形成すること、およびシリコン酸化膜を用いた半導体装置を提供することを目的とし、シリコンを基体とするトランジスタを複数個含む半導体装置において、前記シリコンの表面に形成されたシリコン酸化膜の少なくとも一部がKrを内蔵するシリコン酸化膜であることを特徴とする。

#### 【0011】

【作用】本発明によれば、低温のプラズマ酸化で成膜したにも関わらず、100度程度の高温で成膜したシリコン酸化膜より優れた特性、信頼性を有するシリコン酸化膜を形成することが可能となり、高性能なトランジスタ集積回路を実現できる。

【0012】本発明によれば、素子分離側壁部の角に近い部分のシリコン酸化膜の膜厚が薄くならず、平坦なシリコン表面部の膜厚と概等しくなることにより、酸化膜

の漏れ電流や耐圧などの特性が良好になり、素子の信頼性向上を実現することができる。また、このシリコン酸化膜はゲート酸化膜として薄膜化した状態でも使用できるので、素子分離の信頼性向上とMOSトランジスタの駆動能力向上を両立することができる。また、シリコン基体の素子分離領域の凹部分の側壁部のシリコン表面に対する角度を約75度以上から90度の角度にしても、側壁部の角のシリコン酸化膜の薄膜化が起こらず、狭い素子分離領域を形成することが可能となり、トランジスタなどの素子を形成する有効な領域の面積的比率が増加し、高密度集積化を実現することができる。

【0013】さらに、絶縁膜上に形成されるSOI（シリコン・オン・インシレータ）トランジスタやポリシリコントランジスタの集積素子の素子分離構造においても、素子分離側壁部に良質な酸化膜を形成でき、寄生トランジスタ素子を存在させることなく、トランジスタの電気的特性を良好にすることができます。

【0014】以下に、本発明の実施例をあげて詳細に説明する。

#### 【実施例1】

【0015】まずは、プラズマを用いた低温の酸化膜形成について述べる。図1は、本発明の酸化方法を実現するための、ラジアルラインスロットアンテナを用いた装置の一例を示す断面図である（特許願9-133422参照）。本発明においては、Krをプラズマ励起ガスに使用していることに新規な特徴がある。この装置は主として円形状の基板に対して有効である。真空容器（処理室）101を真空にし、シャワープレート102からKrガス、O<sub>2</sub>ガスを導入し、例えば処理室内の圧力を1Torr程度に設定する。シリコンウェハ等の円形状の基板103を、加熱機構を持つ試料台104に置き、例えば試料の温度が400度になるように設定する。この温度設定は200-500度の範囲内であれば以下に述べる結果はほとんど同様のものとなる。同軸導波管105から、ラジアルラインスロットアンテナ106、誘電体板107を通して、処理室内に、2.45GHzのマイクロ波を供給し、処理室内に高密度のプラズマを生成する。この間隔は狭いほうがより高速な成膜が可能となる。また、供給するマイクロ波の周波数は、900MHz以上10GHz以下の範囲にあれば以下に述べる結果はほとんど同様のものとなる。シャワープレート102と基板103の間隔は、本実施例では6cmにしてある。本実施例では、ラジアルラインスロットアンテナを用いたプラズマ装置を用いて成膜した例を示したが、他の方法を用いてマイクロ波を処理室内に導入してもよい。

【0016】KrとO<sub>2</sub>の混合ガスの高密度励起プラズマ中では、中間励起状態にあるKr\*とO<sub>2</sub>分子が衝突し、原子状酸素O\*が効率よく発生する。この原子状酸素により、基板表面は酸化される。これまで、たとえ

ば、シリコン表面の酸化は、 $H_2O$ 分子、 $O_2$ 分子により行われ、処理温度は、800—1100度と極めて高いものであった。しかし原子状酸素による酸化は、十分に低い温度で可能である。 $Kr^*$ と $O_2$ の衝突機会を大きくするには、処理室圧力は高い方が望ましいが、あまり高くすると、発生した $O^*$ 同志が衝突し、 $O_2$ 分子に戻ってしまう。当然、最適ガス圧力が存在する。図2に、処理室内の圧力比を、 $Kr$  9.7%酸素3%に保つて、処理室のガス圧を変えたときの、シリコン基板温度400度、10分間の酸化処理により成長する酸化膜厚を示す。処理室のガス圧が1 Torrの時に最も酸化膜は厚くなり、この圧力ないしはその近傍が最適である。

【0017】図3には、 $Kr/O_2$ 高密度プラズマを用いたシリコン基板表面酸化時の酸化膜厚と酸化時間の関係を示す。図3には同時に従来のドライ酸化による酸化時間依存性を、基板温度800度、900度、1000度に対して示している。基板温度400度、処理室内圧力1 Torrにおける $Kr/O_2$ 高密度プラズマ酸化の酸化速度は、基板温度1000度の大気圧ドライ $O_2$ 酸化の酸化速度より、速いことが明らかである。 $Kr/O_2$ 高密度プラズマを用いたシリコン基板表面酸化を導入する事により、表面の酸化技術の生産性も大幅に向上させる。さらに、従来の高温熱酸化技術では、表面に形成された酸化膜を $O_2$ 分子や $H_2O$ 分子が拡散によって通り抜け、シリコン／シリコン酸化膜の界面に到達して酸化に寄与するため、酸化速度は、 $O_2$ や、 $H_2O$ 分子の酸化膜の拡散速度により律速され、酸化時間tに対して、 $t^{1/2}$ で増加するのが常識であった。しかし、この、 $Kr/O_2$ 高密度プラズマでは、酸化膜厚は、35 nmまで、酸化速度は直線的である。原子状酸素はシリコン酸化膜中を自在に通り抜けられることになる。すなわち拡散速度が極めて大きいことが明らかである。

【0018】図4は、上記の手順で形成されるシリコン酸化膜中の $Kr$ 密度の深さ方向分布を、全反射蛍光X線分光装置を用いて調べたものである。 $Kr$ 中の酸素の分圧3%、処理室の圧力1 Torr、基板温度400度で行った。 $Kr$ 密度は、酸化膜厚が薄い領域になるほど減少し、シリコン酸化膜表面では $2 \times 10^{-11} cm^{-2}$ 程度の密度で $Kr$ が存在。すなわち、このシリコン酸化膜は、膜厚が4 nm以上の膜中の $Kr$ 濃度は一定で、シリコン／シリコン酸化膜の界面に向かって、 $Kr$ 濃度は減少している膜である。

【0019】図5は、シリコン酸化膜成長時に用いた希ガスの種類( $Kr$ ,  $Ar$ ,  $He$ )と、得られたシリコン酸化膜中でのシリコンと酸素の組成比をX線光電子分光装置を用いて調べたものである。シリコン酸化膜の形成は図1に示した装置を用いて、基板温度400度で行った。希ガス中の酸素の分圧は3%、処理室の圧力は1 Torrに固定した。比較のために、基板温度900度酸素100%の雰囲気で成膜した熱酸化膜中のシリコ

ンと酸素の組成比も同時に示す。ヘリウムガス( $He$ )、アルゴンガス( $Ar$ )を用いた場合、シリコン酸化膜の組成比は、酸素不足なのに対し、 $Kr$ ガスを用いて成膜したシリコン酸化膜は、熱酸化膜と同等のシリコン酸素比を示している。 $He$ ,  $Ar$ に比べて、 $Kr$ の励起状態が極めて効率よく $O^*$ を発生していることによると考えられる。

【0020】図6は、シリコン酸化膜成長時に用いた希ガスの種類と、得られた酸化膜の界面準位密度を、低周波C-V測定から求めた結果である。シリコン酸化膜の形成は図1に示した装置を用いて、基板温度400度で成膜した。希ガス中の酸素の分圧は3%、処理室の圧力は1 Torrに固定した。比較のために、900度酸素100%の雰囲気で成膜した熱酸化膜の界面準位密度も同時に示す。 $Kr$ ガスを用いて成膜した酸化膜の界面準位密度が一番低く、900度のドライ酸化雰囲気で成膜した熱酸化膜の界面準位密度と同等である。

【0021】図7は、希ガスの種類と、シリコン酸化膜の成長速度から計算したシリコン酸化膜成長の活性化工エネルギーの関係を示す。シリコン酸化膜の形成は図1に示した装置を用いて、基板温度200—400度の範囲で成膜した。希ガス中の酸素の分圧は3%、処理室の圧力は1 Torrに固定した。ヘリウムガス( $He$ )、アルゴンガス( $Ar$ )を用いて酸化した場合、活性化工エネルギーは、それぞれ、0.5 eV, 0.8 eVと高いが、 $Kr$ ガスを用いた場合0.13 eVまで活性化工エネルギーを低く抑えることが可能である。すなわち、温度依存性が極めて小さく、原子状酸素が効率よく発生していると、基板温度200度といった低温でも、十分に速い酸化速度を実現している。

【0022】図8は、シリコン酸化膜成膜雰囲気における $Kr$ 中の酸素の分圧と、シリコン酸化膜の絶縁耐圧、および、成膜されたシリコン酸化膜中の界面順位密度の関係を調べたものである。このとき、処理室の圧力は1 Torrで固定した。 $Kr$ 中の酸素分圧が3%のとき、界面順位密度は最小となり、熱酸化膜中の界面順位密度と同等の値が得られる。また、シリコン酸化膜の絶縁耐圧も、酸素分圧3%付近で最大となる。図8の結果から $Kr/O_2$ 混合ガスを用いて酸化を行うときの、酸素分圧は2.4%が好適である。

【0023】図9は、シリコン酸化膜成膜時の圧力と、シリコン酸化膜の絶縁耐圧、界面順位密度の関係である。このとき、酸素の分圧は3%とした。成膜時の圧力が1 Torr付近で、シリコン酸化膜の絶縁耐圧は最大値をとり、界面順位密度は最小値をとる。このことから、 $Kr/O_2$ 混合ガスを用いて酸化膜を形成する場合、成膜時の圧力は、800—1200 mTorrが最適である。

【0024】図10は $Kr/O_2 = 9.7\% / 3\%$ のマイクロ波(2.45 GHz)励起高密度プラズマで、基板

温度400度で得られた3.5nm、5.0nm、7.8nm、10nm厚のシリコン酸化膜の基板側からの電子注入を行うように、電極に正電圧を加えたときの電流電圧特性である。参考のために、同じ膜厚の1000度ドライ酸化の特性も図示する。低電界領域で、Kr/O<sub>2</sub>を用いて成長したシリコン酸化膜は、熱酸化膜に比べて、電流値が小さくなっている。高電界領域では全く同じ特性である。

【0025】図11はKr/O<sub>2</sub>=97%/3%のマイクロ波(2.45GHz)励起高密度プラズマにより形成されたシリコン酸化膜を介して流れる電流密度J(A/cm<sup>2</sup>)、電界強度E(MV/cm)とした時の、J/E<sup>2</sup>-1/E特性、すなわちF-N特性を示す。シリコン酸化膜の膜厚は、5.0nm、7.8nm、10nmの3種類であるが、膜厚にほとんどよらず、同じ特性になっており、10-13-10-22の間すなわち、9桁にわたって、F-N電流が流れていることが分かる。シリコン/シリコン酸化膜の障壁高さは、3.2eVである。

【0026】図12はKr/O<sub>2</sub>=97%/3%のマイクロ波(2.45GHz)励起高密度プラズマにより形成されたシリコン酸化膜と1000度ドライ酸化膜の絶縁破壊電界を、3.5nm、5.0nm、7.8nmの3種類の膜に対して、それぞれ、(a)(b)(c)に示す。いずれの膜厚においても、熱酸化膜と全く同等の絶縁破壊電界強度になっている。

【0027】図13は、基板側から1A/cm<sup>2</sup>のストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD(Charge-to-Breakdown)をKr/O<sub>2</sub>高密度プラズマ酸化、800度のウェット酸化および、900度のドライ酸化に対して示す。膜厚は5.0nmである。400度のKr/O<sub>2</sub>高密度プラズマにより成長したシリコン酸化膜は、800度のウェット酸化および、900度のドライ酸化より大きな、QBD値を示す。

【0028】上述した諸特性は、400度という低温で酸化しているにもかかわらず、Kr/O<sub>2</sub>高密度プラズマにより成長した酸化膜は、従来の高温熱酸化膜より優れた特性を示している。これは、酸化膜中にKrが含有されることにより、膜中やSi/SiO<sub>2</sub>界面でのストレスが緩和され、膜中電荷や界面準位密度が低減され、シリコン酸化膜の電気的特性が大幅に改善されるためと考えられる。特に、図4に示されるように、表面密度において5×10<sup>11</sup>cm<sup>-2</sup>以下のKrを含むことがシリコン酸化膜の電気的特性の改善に寄与していると考えられる。

【0029】図14は、単結晶シリコン基板上に形成したMOSトランジスタのサブスレッショルド特性を示し、ゲート絶縁膜として、図1の装置を用いてKr/O<sub>2</sub>高密度プラズマにより形成したゲート酸化膜と従来の

900°C程度の熱酸化によって形成されたゲート酸化膜を用いたときの特性を示している。図1の装置を用いて形成したゲート酸化膜のMOSトランジスタのサブスレッショルド特性(図中○印)は、熱酸化によるゲート絶縁膜のサブスレッショルド特性(図中●印)とほぼ同等の特性を示している。

【0030】図15は、MOSFETのドレイン電流とドレイン電圧の関係である。図中○印がKr/O<sub>2</sub>プラズマ酸化膜をゲート絶縁膜として用いた場合であり、図中●印が熱酸化膜をゲート絶縁膜として用いた場合である。酸化膜厚は10nmである。両者は全く同じ特性を示している。

【0031】低温形成ゲート絶縁膜を用いて十分高品質の半導体デバイス作成が可能であることが実証された。

【0032】本発明の酸化膜を実現するために、プラズマを用いた低温の酸化膜形成を可能とする別のプラズマプロセス用装置を使用してもかまわない。たとえば、マイクロ波によりプラズマを励起するためのKrガスを放出する第1のガス放出手段と、酸素ガスを放出する前記第1のガス放出手段とは異なる第2のガス放出手段をもつ2段シャワープレーント型プラズマプロセス装置で形成することも可能である。

【0033】

【実施例2】図16にシャロートレンチアイソレーションの概念図を示す。このシャロートレンチアイソレーションは、シリコン基板1603表面をプラズマによりエッティングし、エッティングの後のシリコン基板表面にCVD法により形成されたシリコン酸化膜1602を成膜し、さらに、形成されたシリコン酸化膜をCMP法を用いて研磨することにより形成される。研磨後に、シリコン基板を800-900度の酸化性の雰囲気にさらすことにより、犠牲酸化を行い、犠牲酸化により形成されたシリコン酸化膜をフッ酸を含む薬液中でエッティングし、高清浄なシリコン表面を得る。その後、基板表面をRCA洗浄を用いて洗浄し、ゲート絶縁膜1601を形成する。ゲート絶縁膜成膜工程に従来の熱酸化法を用いた場合、形成条件(ドライ酸化かウェット酸化か、または形成温度)によらず、図17に示したように、シャロートレンチアイソレーションのエッジ部で、シリコン酸化膜の薄膜化が確認された。しかし、本発明のKr/O<sub>2</sub>高密度プラズマを用いた酸化により、シリコン酸化膜を形成した場合は、シャロートレンチアイソレーションのエッジ部で、シリコン酸化膜の薄膜化が起こらない。

【0034】図18にシャロートレンチアイソレーション構造を有するMOSキャバシタのゲート酸化膜を、800度ウェット酸化で形成した場合と、Kr/O<sub>2</sub>高密度プラズマを用いた酸化によりシリコン酸化膜を形成した場合のQBD特性を示したものである。ストレスは基板側から1A/cm<sup>2</sup>の低電流で電荷をシリコン酸化膜に向かって注入した。800度ウェット酸化で形成した

シリコン酸化膜のQBDは、シャロートレンチアイソレーションエッジ部での薄膜化に起因して、低QBD側に広い分布をもち、デバイスの信頼性が良くないことが確認された。しかし、Kr/O<sub>2</sub>高密度プラズマを用いた酸化により形成されたシリコン酸化膜のQBD特性は、非常に均一である。これは、シャロートレンチアイソレーションエッジ部でのシリコン酸化膜厚の薄膜化を起さないからである。本発明のシリコン酸化膜の形成技術を用いることにより、デバイスの信頼性が大幅に改善された。

【0035】図19に、シャロートレンチアイソレーションのテーパ角と、シリコン酸化膜の薄膜化率の関係を示す。熱酸化法で成膜したシリコン酸化膜は、テーパ角が大きくなるに従って、シャロートレンチアイソレーションエッジ部での薄膜化が激しくなり、デバイスの信頼性確保のために、テーパ角を75度以下にする事は困難であった。本発明のKr/O<sub>2</sub>高密度プラズマを用いた酸化により、シリコン酸化膜を形成した場合は、テーパ角が75度以上に大きくなても、シャロートレンチアイソレーションエッジ部でもシリコン酸化膜の均一性は30%以下に押さえられる。シャロートレンチアイソレーションのテーパ角をあげても、信頼性の確保が可能なため、素子分離領域の面積が減少するため、半導体素子のさらなる集積度向上が可能となる。

#### 【0036】

【実施例3】図1の装置を用いた、Kr/O<sub>2</sub>マイクロ波励起高密度プラズマによるゲート酸化は、従来のような高温工程を用いることができない金属基板SOIウェハ上の集積デバイス作製に最適である。図20は、金属基板SOI上に作製されたMOSトランジスタの断面図である。2001は、n++、p++低抵抗半導体、2002は、NiSiなどのシリサイド層、2003は、TaN、TiNなどの導電性窒化物層、2004はCu等の金属層、2005はTaN、TiNなどの導電性窒化物層、2006はn++、p++低抵抗半導体層、2007は、AlN、Si<sub>3</sub>N<sub>4</sub>等の窒化物絶縁膜、2008はSiO<sub>2</sub>膜、2009は、SiO<sub>2</sub>、BPSGもしくはそれらを組み合わせた絶縁膜層、2010はn++ドレイン領域、2011は、n++ソース領域、2012はp++ドレイン領域、2013は、p++ソース領域、2014、2015は高抵抗半導体層、2016は本発明の、Kr/O<sub>2</sub>マイクロ波励起高密度プラズマにより形成された、SiO<sub>2</sub>膜、2017、2018はTa、Ti、TaN/Ta、TiN/Ti、等で形成されるnMOSのゲート電極ならびに、pMOSのゲート電極、2019はnMOSソース電極、2020はnMOSおよびpMOSのドレイン電極である。2021はpMOSのソース電極である。2022は基板表面電極である。TaNやTiNで保護された、Cu層を含む基板では、Cuの拡散を押さえるために、熱処理温度は、

700度以下でなければならない。n++、p++ソース・ドレイン領域は、As+、AsF<sub>2</sub>+、BF<sub>2</sub>+イオン注入後、550度の熱処理で形成する。これまで、700度以下で高品質の酸化膜を形成する技術が存在しなかつたが、本発明のKr/O<sub>2</sub>マイクロ波励起高密度プラズマ酸化により、初めて、図20に示す金属基板SOIMOSLSIが作成可能となったのである。

【0037】図21はSOIデバイスの概念図である。このデバイス構造を用いて、ゲート絶縁膜に熱酸化膜を用いた場合とKr/O<sub>2</sub>高密度プラズマを用いた酸化でゲート絶縁膜を形成した場合のトランジスタのサブレッショールド特性を図22に示す。ゲート絶縁膜を熱酸化により形成した場合、サブレッショールド特性には、シリコン酸化膜のカバレッジが悪いことによるキンクが観察されるが、ゲート絶縁膜をKr/O<sub>2</sub>高密度プラズマを用いた酸化で形成した場合には、サブレッショールド特性にキンクが観察されることはない。メサ型分離構造をもちいても、Kr/O<sub>2</sub>高密度プラズマを用いた酸化によりゲート絶縁膜を形成することで、大幅に信頼性向上可能である。

#### 【0038】

【実施例4】図23は、ガラス基板やプラスチック基板などの長方形基板に対して酸化を行うための、装置の一例を示す概念図である。真空容器（処理室）2307を減圧状態にし、シャワープレート2301からKr/O<sub>2</sub>混合ガスを導入し、ねじ溝ポンプ2302によって排気し、例えば処理室内の圧力を1Torrに設定する。ガラス基板2303を、加熱機構を持つ試料台2304に置き、例えばガラス基板の温度が300度になるように設定する。方形導波管2305のスリットから、誘電体板2306を通して、処理室内にマイクロ波を供給し、処理室内に高密度のプラズマを生成する。シャワープレート2301は導波管から放射されたマイクロ波が、左右に表面波として伝搬する導波路の役割も兼ねている。

【0039】図24は、従来の逆スタガ構造のTFTデバイス構造と改良型TFTデバイス構造を示す。改良型TFTデバイス構造のガラス基板の裏面には、ITO膜2413を成膜し、静電チャックによる基板と成膜装置のセセプタとの密着性を向上させ、プロセスの信頼性・均一性の向上、特に静電気によるデバイス破壊、デバイス特性の劣化を防止する。ゲート絶縁膜2403は従来と同じくシリコン窒化膜を用いるが、絶縁耐圧を大幅に向上することに成功したため、従来400nm程度を必要としたシリコン窒化膜の膜厚を100-200nm程度まで薄膜化している。シリコン窒化膜を半分に薄膜化することにより、TFTデバイスの電流駆動能力をほぼ2倍に改善することが可能となる。

【0040】改良型TFTデバイス構造では、ソース2405・ドレイン2407間のn+アモルファスシリコ

ン層をRIEでエッティングするのではなく、n+アモルファスシリコン層を、図23の装置を用いて直接酸化して絶縁するため、チャネルとなるノンドープアモルファスシリコン層2404を高エネルギーのイオン照射にさらさない。このため、チャネルとなるノンドープアモルファスシリコン層2404は、150nmから30nm程度まで薄膜化が可能である。チャネルとなるノンドープアモルファスシリコン層2404の膜厚が1/5になると、空間電荷層の抵抗が1/25程度になるため、TFTデバイスの電流駆動能力は20-30倍となる。ノンドープアモルファスシリコン層2404厚さを1/5程度以下に減少させられたことが、バックライトによる電子・ホール対の生成量も1/5程度以下に減少でき、LCD表示部の輝度のダイナミックレンジを1桁近く改善できる。

【0041】図25は、TFTデバイスのゲート電圧とドレイン電流の関係を示している。従来型TFTデバイスに比べ、改良型TFTデバイスのドレイン電流は大幅に増加し、特性が大幅に改善されていることを示している。同時に逆方向バイアス時のリーク電流も減少する。これは、ノンドープアモルファスシリコンとSiO<sub>2</sub>層の界面特性が向上したことによる。

#### 【0042】

【実施例5】図26に、LCD等の表示体の周辺回路用に制作されたポリシリコンTFTの断面構造を示す。2601はガラス基板やプラスチック基板、2602はSi<sub>3</sub>N<sub>4</sub>膜、2603はポリシリコンpMOSのチャネル層、2605、2606はそれぞれポリシリコンのnMOSのソース領域・ドレイン領域、2607、2608はそれぞれ、pMOSのソース領域・ドレイン領域である。2609は本発明のSiO<sub>2</sub>層であり、平坦部・エッジ部ともに均一な膜厚のシリコン酸化膜がポリシリコン上に形成される。2610はポリシリコンnMOSのゲート電極、2611はポリシリコンpMOSのゲート電極、2612はSiO<sub>2</sub>、BSG、BPSG等の絶縁膜、2613、2614はポリシリコンnMOSのソース電極・ドレイン電極（同時にポリシリコンpMOSのドレイン電極）、2615はポリシリコンpMOSのソース電極、2616は表面ITO等の透明電極である。

【0043】また、図27に示すような、LCD等の表示体の周辺回路用に制作されたポリシリコンTFTにも本発明は適応される。2701はガラス基板やプラスチック基板、2702はSi<sub>3</sub>N<sub>4</sub>膜、2703はポリシリコンpMOSのチャネル層、2705、2706はそれぞれポリシリコンのnMOSのソース領域・ドレイン領域、2707、2708はそれぞれ、pMOSのソース領域・ドレイン領域である。2709は本発明のSiO<sub>2</sub>層であり、トランジスタ間の素子分離領域の角においても、酸化膜は薄くならず、平坦部・エッジ部ともに

均一な膜厚のシリコン酸化膜がポリシリコン上に形成される。よって、デバイスの電気的特性・信頼性は格段に向上了。2710はポリシリコンnMOSのゲート電極、2711はポリシリコンpMOSのゲート電極、2712はSiO<sub>2</sub>、BSG、BPSG等の絶縁膜、2713、2714はポリシリコンnMOSのソース電極・ドレイン電極（同時にポリシリコンpMOSのドレイン電極）、2715はポリシリコンpMOSのソース電極、2716は表面ITO等の透明電極である。図28には、LCD等の表示体の周辺回路用に制作されたポリシリコンTFTの別の断面構造を示す。この構造は、2702のSi<sub>3</sub>N<sub>4</sub>の上にポリシリコン層2703、2704を形成し、ポリシリコン層をエッティング後に、クリプトンを用いたプラズマ酸化により、ゲート絶縁膜を形成し、さらに、ゲートポリシリコン電極を形成した。

【0044】図23に示す装置にさらに二段シャワープレートを導入した、二段シャワープレートマイクロ波励起高密度プラズマ装置を用い、Ar、Kr、Xeといった不活性ガスを一段目のシャワープレートから供給し、SiH<sub>4</sub>等の材料ガスを二段目のシャワープレートから供給すると、形成されるポリシリコンの電子移動度は、300度程度の基板温度で、200-400cm<sup>2</sup>/Vsecとなる。チャネル長1.5-2.0μm程度にすれば、十分100MHzを越える高速の信号処理が可能となる。LCD等の表示部の駆動に必要な周辺回路はほとんど作成可能となる。

#### 【0045】

【発明の効果】以上詳細に説明したように、本発明によれば、1000度程度の高温で成膜した従来の熱酸化膜よりも優れた高品質シリコン酸化膜を基板温度200-500度の低温で実現することが可能となる。

【0046】また、シリコン酸化膜素子分離側壁部の角に近い部分のシリコン酸化膜の膜厚が、平坦なシリコン表面部の膜厚と概等しくなることにより、酸化膜の漏れ電流や耐圧などの特性が良好になり、素子の信頼性向上、MOSトランジスタの駆動能力向上を実現することができる。

【0047】また、シリコン基体に形成される素子分離領域の凹部分の側壁部のシリコン表面に対する角度を70度以上から90度の角度にしても、側壁部の角のシリコン酸化膜の薄膜化が起こらず、狭い素子分離領域を形成することが可能となり、トランジスタなどの素子を形成する有効な領域の比率が増加し、高密度集積化を実現することができる。

【0048】さらに、絶縁膜上に形成されるSOI（シリコン・オン・インシュレータ）トランジスタやポリシリコントランジスタの集積素子の素子分離構造においても、素子分離側壁部に良質な酸化膜を形成でき、寄生トランジスタ素子を存在させることなく、トランジスタの

電気的特性を良好にすることができる。本発明のシリコン酸化膜形成方法を用いることにより、基板温度200-500度といった低温で成膜したにも関わらず、極めて高品質なシリコン酸化膜が成膜可能である。このことから、従来不可能であった金属基板SOI LSI、ガラス基板やプラスチック基板上の高性能アモルファスシリコンTFTやポリシリコンTFTの製造が可能となり、その効果は大きい。

## 【図49】

## 【図面の簡単な説明】

【図1】本発明のシリコン酸化膜形成方法を実現するための、ラジアルラインスロットアンテナを用いた装置の一例を示す概念図である。

【図2】基板温度400度、 $Kr/O_2 = 97/3$ 、2.45GHzで10分間高密度プラズマ酸化処理した時の、酸化膜厚の処理室ガス圧力依存性

【図3】基板温度400度、 $Kr/O_2 = 97/3$ 、2.45GHzで高密度プラズマ酸化処理した時の酸化膜厚の酸化時間依存性を示す。同時に従来のドライ酸化（基板温度800度、900度、1000度）による酸化時間依存性を示す。

【図4】シリコン酸化膜中のKr密度の深さ方向分布を示したものである。

【図5】シリコン酸化時に用いた希ガスの種類と、得られたシリコン酸化膜中でのシリコンと酸素の組成比を示したものである。

【図6】シリコン酸化膜成長時に用いた希ガスの種類と、得られたシリコン酸化膜の界面順位密度を測定した結果である。

【図7】希ガスの種類と、シリコン酸化膜成長速度から計算したシリコン酸化膜成長の活性化エネルギーとの関係を調べた結果である。

【図8】シリコン酸化膜成膜雰囲気におけるKr中での酸素の分圧と、成膜されたシリコン酸化膜中の界面準位密度および絶縁耐圧の関係を調べた結果である。

【図9】シリコン酸化膜成膜雰囲気における処理室内的全圧と、成膜されたシリコン酸化膜中の界面準位密度および絶縁耐圧の関係を調べた結果である。

【図10】 $Kr/O_2 = 97/3$ のマイクロ波（2.45GHz）励起高密度プラズマで、基板温度400度で得られた3.5nm、5.0nm、7.8nm、10nm厚のシリコン酸化膜の基板側からの電子注入を行い、電極に正電圧を加えたときの電流電圧特性である。参考のために、同じ膜厚の1000度、ドライ酸化の特性も図示する。

【図11】 $Kr/O_2 = 97/3$ のマイクロ波（2.45GHz）励起高密度プラズマにより形成されたシリコン酸化膜を介して流れる電流密度J（A/cm<sup>2</sup>）、電界強度E（MV/cm）とした時の、J<sup>2</sup>/E - 1/E特性、すなわちF-N特性を示す。シリコン酸

化膜の膜厚は、5.0nm、7.8nm、10nmの3種類である。

【図12】 $Kr/O_2 = 97/3$ のマイクロ波（2.45GHz）励起高密度プラズマにより形成されたシリコン酸化膜と1000度ドライ酸化膜の絶縁破壊電界を、3.5nm、5.0nm、7.8nmの3種類の膜に対して、それぞれ、(a) (b) (c) に示す。

【図13】基板側から1A/cm<sup>2</sup>のストレス電流を流したときのシリコン酸化膜が破壊に至るまでの電荷量QBD（Charge-to-Breakdown）をKr/O<sub>2</sub>高密度プラズマ酸化、800度のウェット酸化および、900度のドライ酸化に対して示す。

【図14】単結晶シリコン基板上に形成したMOSトランジスタのサブスレッショルド特性を示し、ゲート絶縁膜として、基板温度400度Kr/O<sub>2</sub>高密度プラズマを用いて形成したゲート酸化膜と、従来の900°C程度の熱酸化によって形成されたゲート酸化膜を用いたときの特性を示している。

【図15】MOSFETのドレイン電流とゲート電圧の関係である。図中○印がKr/O<sub>2</sub>プラズマ酸化膜をゲート絶縁膜として用いた場合であり、図中●印が熱酸化膜をゲート絶縁膜として用いた場合である。

【図16】シャロートレンチアイソレーションの構造を示す概念図である。

【図17】シャロートレンチアイソレーション構造を、従来例（熱酸化した場合）と、本発明（Kr/O<sub>2</sub>高密度プラズマを用いた酸化）の場合の、ゲート絶縁膜のカバレッジの違いを示す。

【図18】シャロートレンチアイソレーション構造を、従来例（熱酸化した場合）と、本発明（Kr/O<sub>2</sub>高密度プラズマを用いた酸化）の場合の、MOSキャパシタのQBD特性の違いを示す。

【図19】シャロートレンチアイソレーション構造を、従来例（熱酸化した場合）と、本発明（Kr/O<sub>2</sub>高密度プラズマを用いた酸化）の場合の、シャロートレンチアイソレーションのテーパ角と、エッジ部薄膜化率の関係である。

【図20】金属基板SOI上に作製されたMOSトランジスタの断面図である。

【図21】SOI基板上に作製されたMOSトランジスタの断面図である。

【図22】デバイスのゲート絶縁膜を従来例（熱酸化した場合）と、本発明（Kr/O<sub>2</sub>高密度プラズマを用いた酸化）の場合のサブスレッショルド特性を示したものである。

【図23】ガラス基板およびプラスチック基板用マイクロ波励起高密度プラズマ装置の概念図

【図24】従来のTFTデバイスの構造と改良型TFTデバイスの構造である。

【図25】TFTデバイスのゲート電圧とドレイン電流

の関係を測定した結果である。

【図26】LCD等の表示部駆動用ポリシリコンTFTの断面図である。

【図27】LCD等の表示部駆動用ポリシリコンTFTの断面図である。

【図28】LCD等の表示部駆動用ポリシリコンTFTの別の断面図である。

#### 【符号の説明】

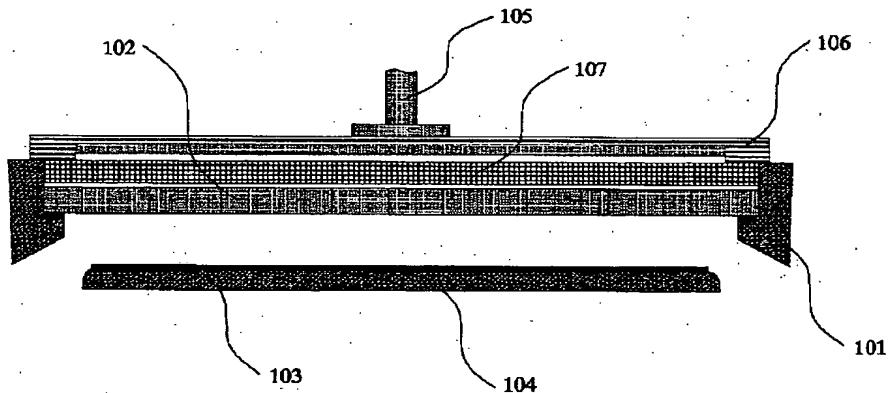
- 101 処理室
- 102 シャワープレート
- 103 シリコンウェハ
- 104 加熱機構を持つ試料台
- 105 同軸導波管
- 106 ラジアルラインスロットアンテナ
- 107 マイクロ波導入窓
- 1601 ゲート絶縁膜
- 1602 CVD酸化膜
- 1603 シリコン基板
- 1701 ゲート絶縁膜
- 1702 CVD酸化膜
- 1703 シリコン基板
- 2001 n++、p++低抵抗半導体
- 2002 NiSiなどのシリサイド層
- 2003 TaN, TiNなどの導電性窒化物層
- 2004 Cu等の金属層
- 2005 TaN, TiNなどの導電性窒化物層
- 2006 n++、p++低抵抗半導体層
- 2007 AlN, Si<sub>3</sub>N<sub>4</sub>等の窒化物絶縁膜
- 2008 SiO<sub>2</sub>膜
- 2009 SiO<sub>2</sub>、BPSGもしくはそれらを組み合わせた絶縁膜層
- 2010 n++ドレイン領域
- 2011 n++ソース領域
- 2012 p++ドレイン領域
- 2013 p++ソース領域
- 2014 高抵抗半導体層
- 2015 高抵抗半導体層
- 2016 Kr/O<sub>2</sub>マイクロ波励起高密度プラズマにより形成された、SiO<sub>2</sub>膜
- 2017 Ta、Ti、TaN/Ta、TiN/Ti、等で形成されるnMOSのゲート電極
- 2018 Ta、Ti、TaN/Ta、TiN/Ti、等で形成されるpMOSのゲート電極
- 2019 nMOSソース電極
- 2020 nMOSおよびpMOSのドレイン電極
- 2021 pMOSのソース電極
- 2022 基板表面電極
- 2101 シリコン基板
- 2102 SiO<sub>2</sub>層
- 2103 Kr/O<sub>2</sub>高密度プラズマを用いて形成した

#### シリコン酸化膜

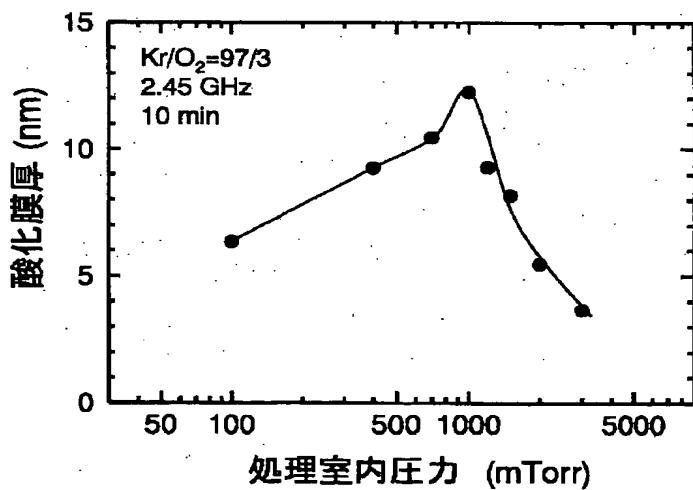
- 2104 SiO<sub>2</sub>、BPSGもしくはそれらを組み合った絶縁膜層
- 2105 n++ソース領域
- 2106 nMOSソース電極
- 2107 本発明のSiO<sub>2</sub>膜
- 2108 nMOSのゲート電極
- 2109 ドレイン電極
- 2110 n++ドレイン領域
- 2111 p++ドレイン領域
- 2112 nMOSおよびpMOSのドレイン電極
- 2113 pMOSゲート電極
- 2114 pMOSソース電極
- 2115 p++ソース領域
- 2116 nタイプシリコン層
- 2117 pタイプシリコン層
- 2301 シャワープレート
- 2302 ネジ溝ポンプ
- 2303 ガラス基板
- 2304 加熱機構を持つ試料台
- 2305 方形導波管
- 2306 マイクロ波導入窓
- 2401 ガラス基板またはプラスチック基板
- 2402 ゲート電極(Ti/AI/Ti)
- 2403 ゲート絶縁膜(Si<sub>3</sub>N<sub>4</sub>)
- 2404 チャネル部(ノンドープアモルファスシリコン)
- 2405 ソース(n+アモルファスシリコン)
- 2406 ソース電極(Ti/AI/Ti)
- 2407 ドレイン(n+アモルファスシリコン)
- 2408 ドレイン電極(Ti/AI/Ti)
- 2409 層間絶縁膜(Si<sub>3</sub>N<sub>4</sub>)
- 2410 画素電極(ITO)
- 2411 ソース・ドレイン絶縁用シリコン酸化膜
- 2412 ゲート電極(TaN/Cu)
- 2413 裏面透明電極(ITO)
- 2601 ガラス基板やプラスチック基板
- 2602 Si<sub>3</sub>N<sub>4</sub>膜
- 2603 ポリシリコンnMOSのチャネル層
- 2604 ポリシリコンpMOSのチャネル層
- 2605 ポリシリコンのnMOSのソース領域
- 2606 ポリシリコンのnMOSのドレイン領域
- 2607 ポリシリコンpMOSのドレイン領域
- 2608 ポリシリコンpMOSのソース領域
- 2609 本発明のSiO<sub>2</sub>層
- 2610 ポリシリコンnMOSのゲート電極
- 2611 ポリシリコンpMOSのゲート電極
- 2612 SiO<sub>2</sub>、BSG、BPSG等の絶縁膜
- 2613 ポリシリコンnMOSのソース電極
- 2614 ドレイン電極

2615 ポリシリコンpMOSのソース電極	2712 SiO <sub>2</sub> 、BSG、BPSG等の絶縁膜
2616 表面ITO等の透明電極	2713 ポリシリコンnMOSのソース電極
2701 ガラス基板やプラスチック基板	2714 ドレイン電極
2702 Si <sub>3</sub> N <sub>4</sub> 膜	2715 ポリシリコンpMOSのソース電極
2703 ポリシリコンnMOSのチャネル層	2716 表面ITO等の透明電極
2704 ポリシリコンpMOSのチャネル層	2801 ポリシリコン電極
2705 ポリシリコンのnMOSのソース領域	2802 本発明のSiO <sub>2</sub> 層
2706 ポリシリコンのnMOSのドレイン領域	2803 ポリシリコン層
2707 ポリシリコンpMOSのドレイン領域	2804 SiO <sub>2</sub> 、BSG、BPSG等の絶縁膜
2708 ポリシリコンpMOSのソース領域	2805 Si <sub>3</sub> N <sub>4</sub> 膜
2709 本発明のSiO <sub>2</sub> 層	2806 ガラス基板、プラスチック基板
2710 ポリシリコンnMOSのゲート電極	2807 表面ITO等の透明電極
2711 ポリシリコンpMOSのゲート電極	

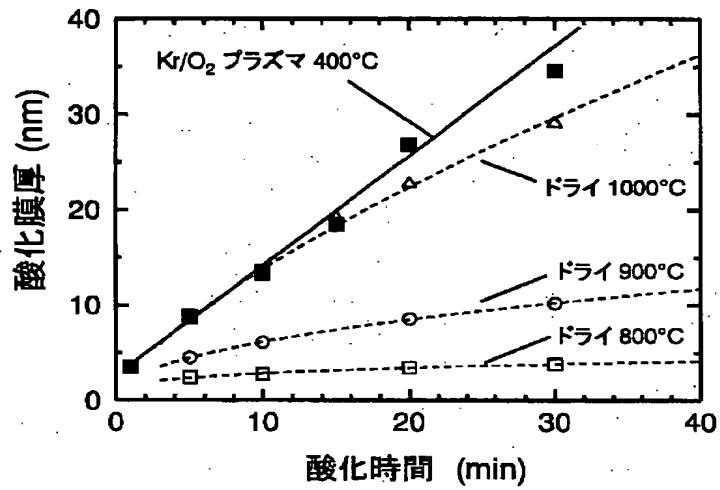
【図1】



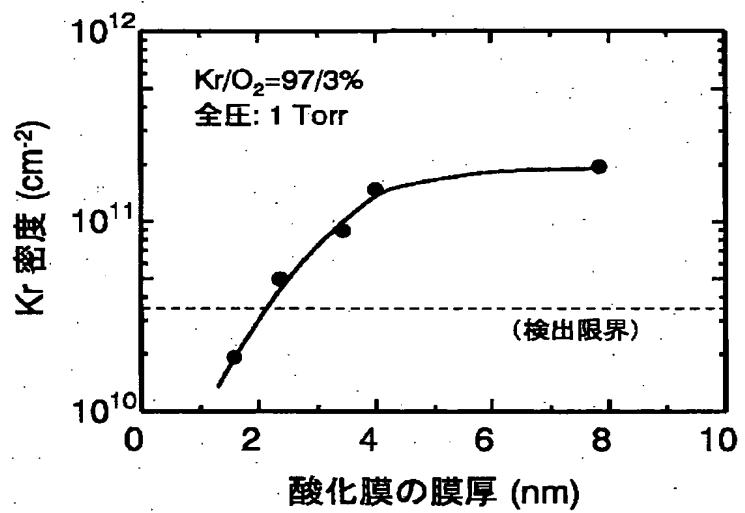
【図2】



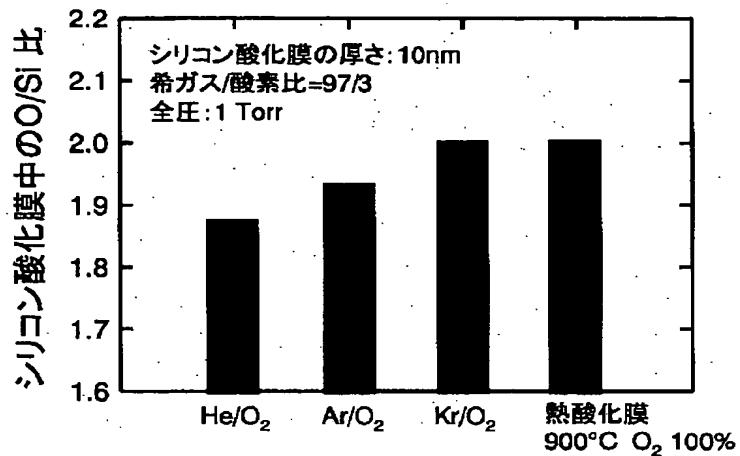
【図3】



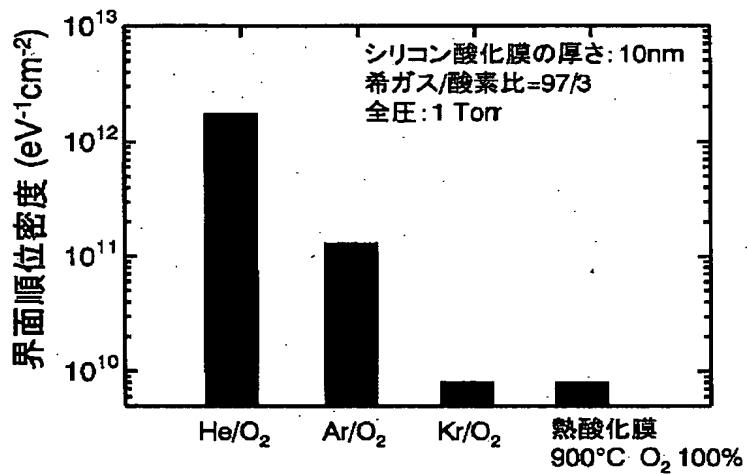
【図4】



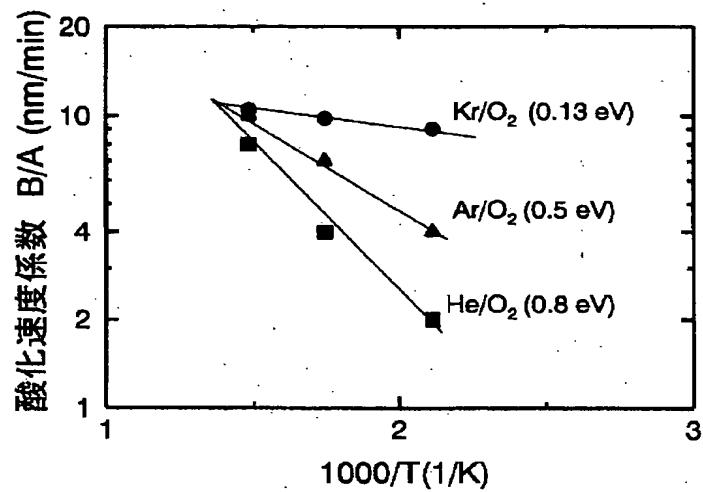
【図5】



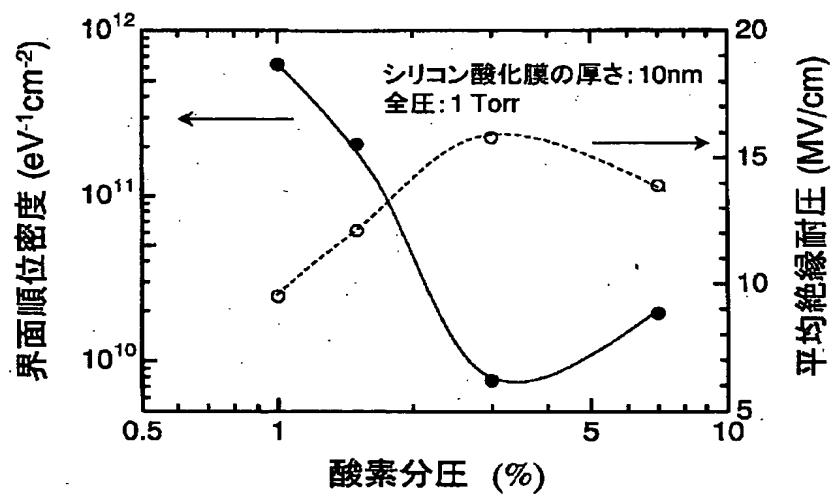
【図6】



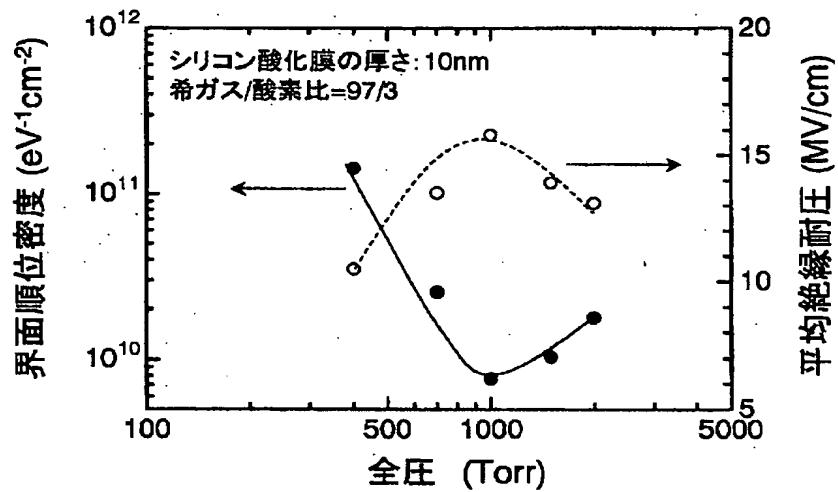
【図7】



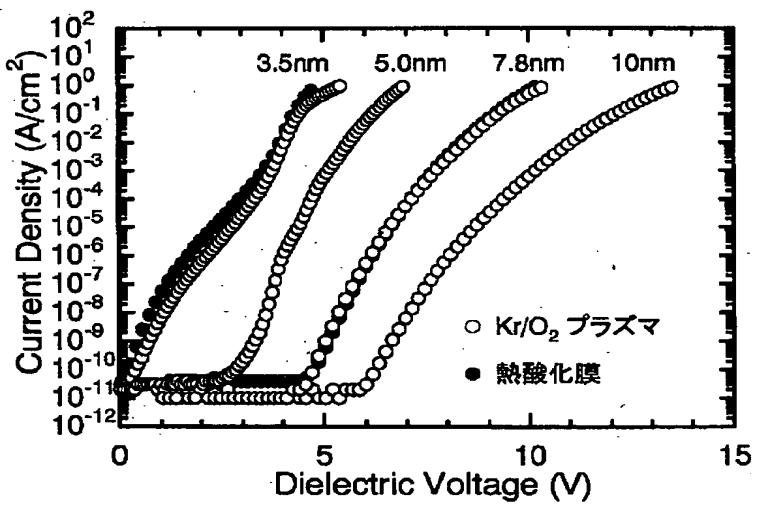
【図8】



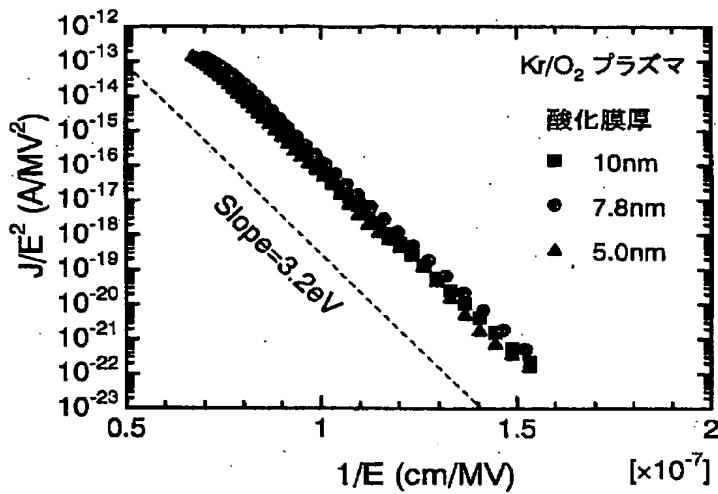
【図9】



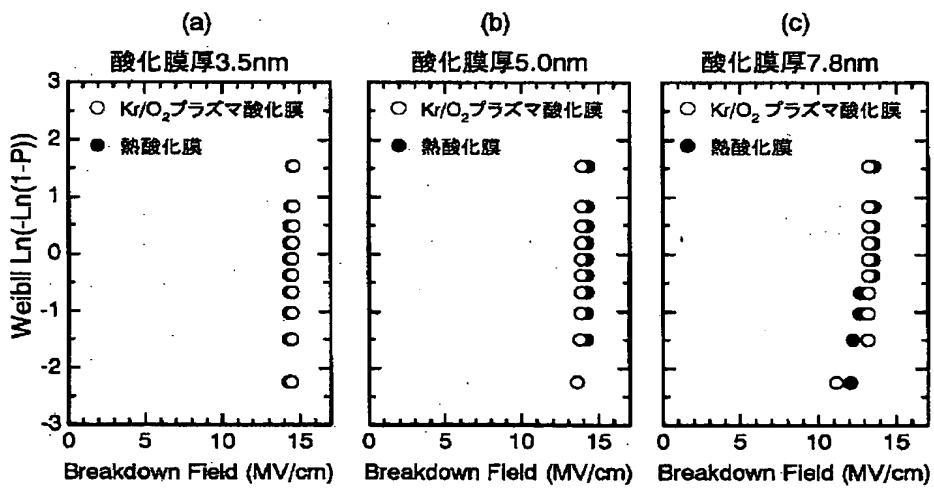
【図10】



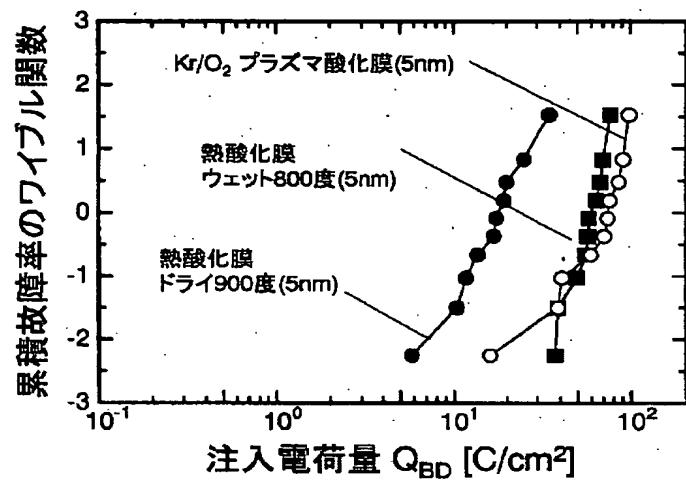
【図11】



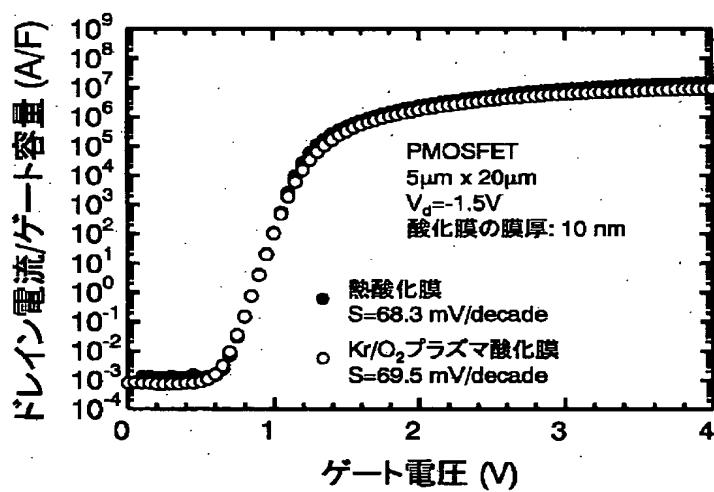
【図12】



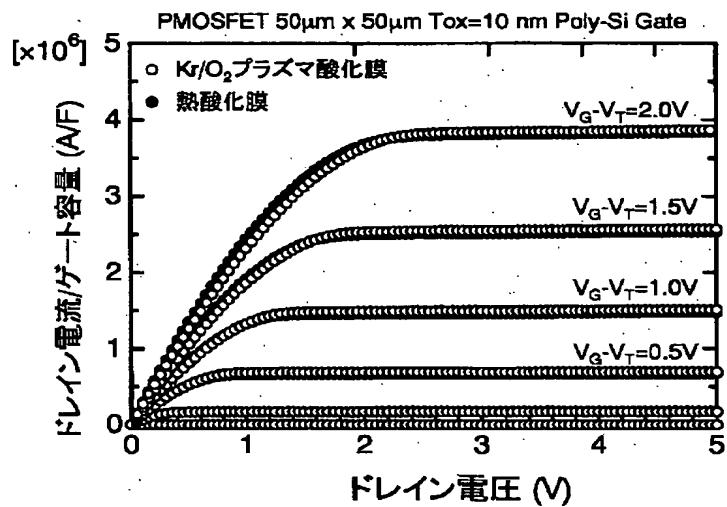
【図13】



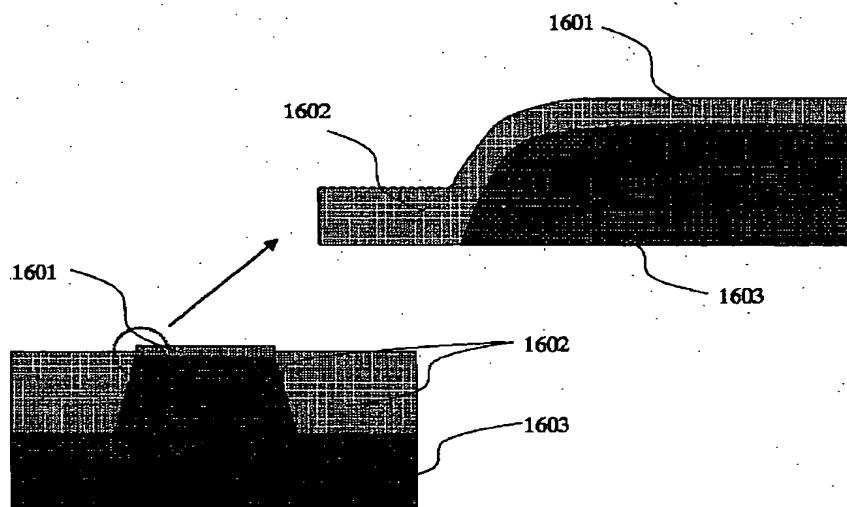
【図14】



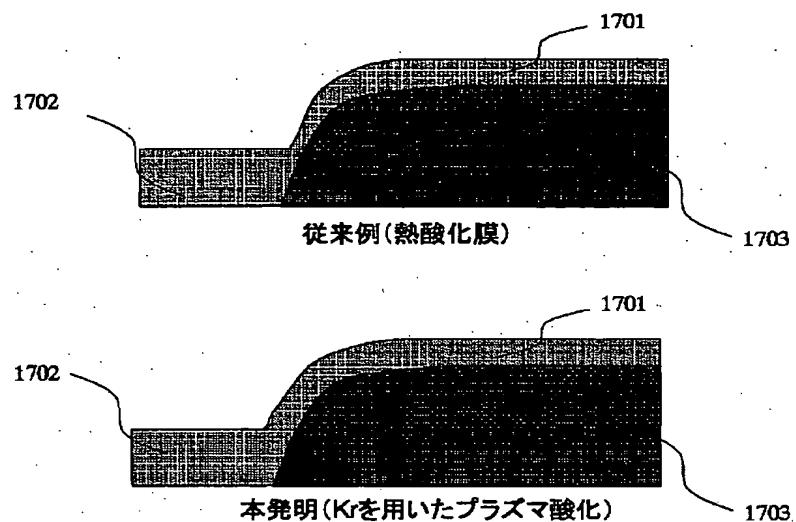
【図15】



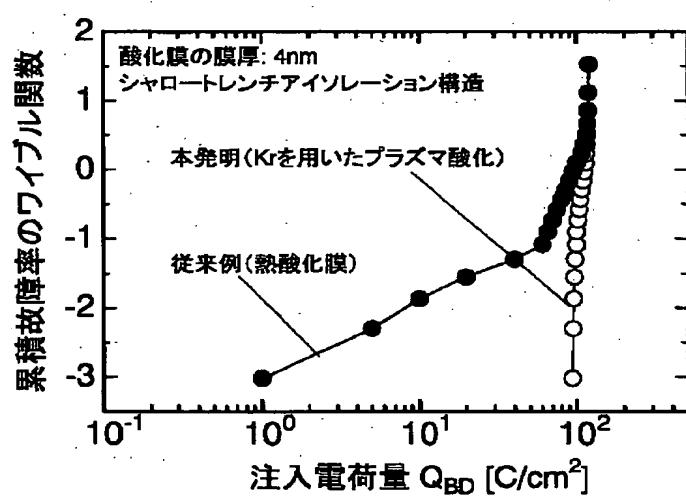
【図16】



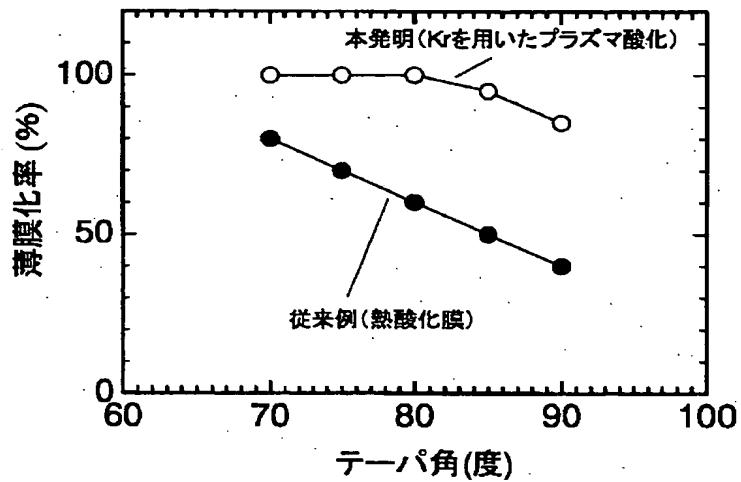
【図17】



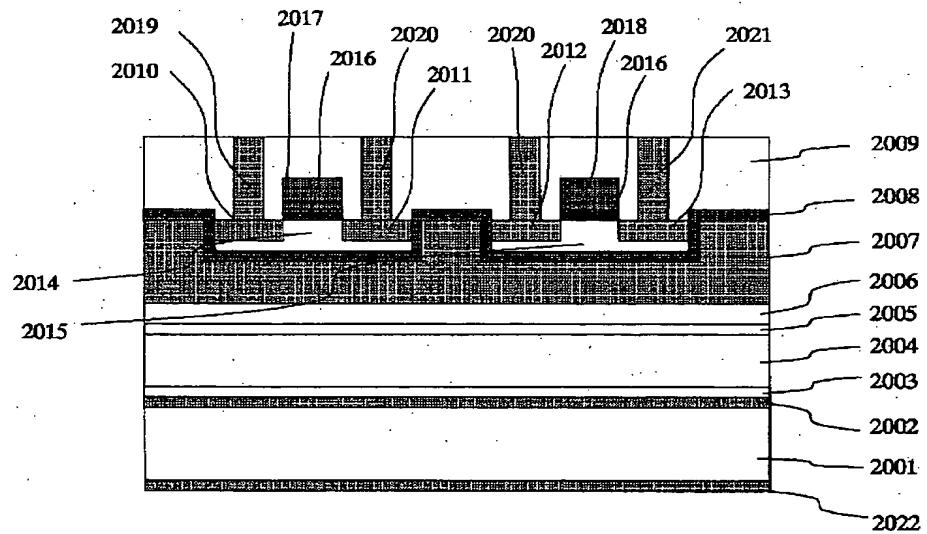
【図18】



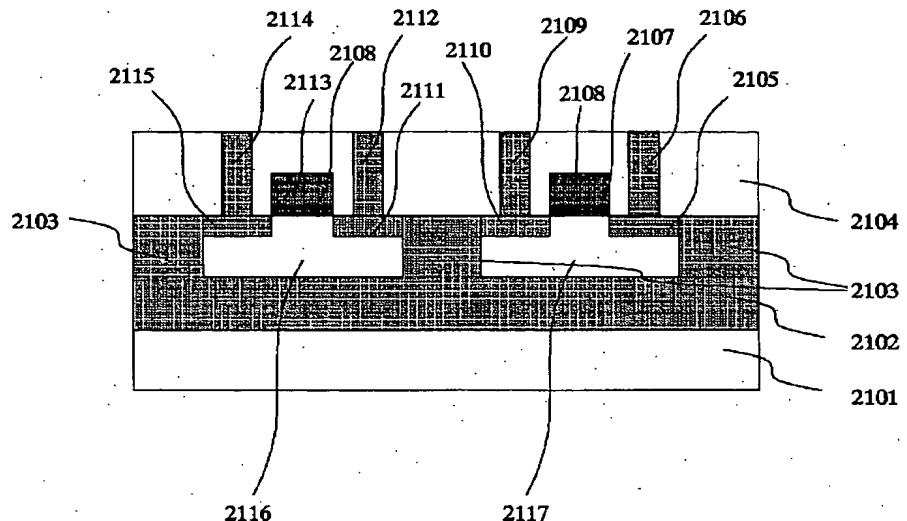
【図19】



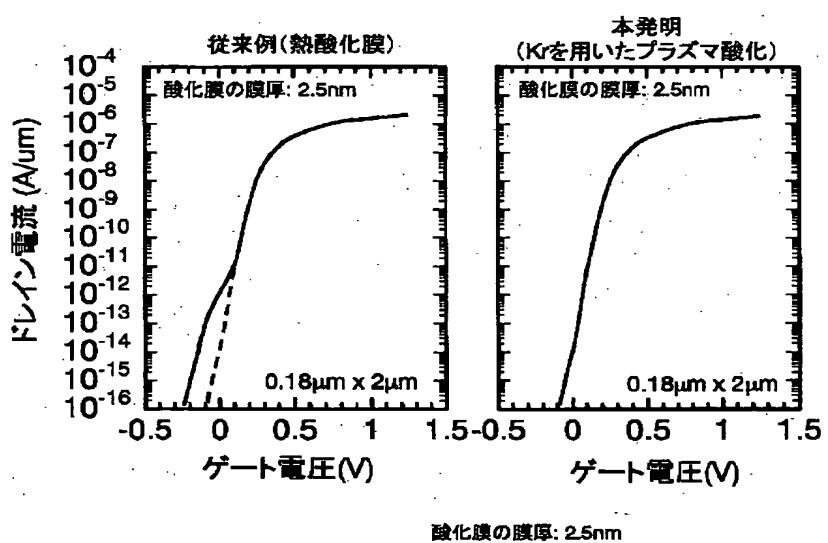
【図20】



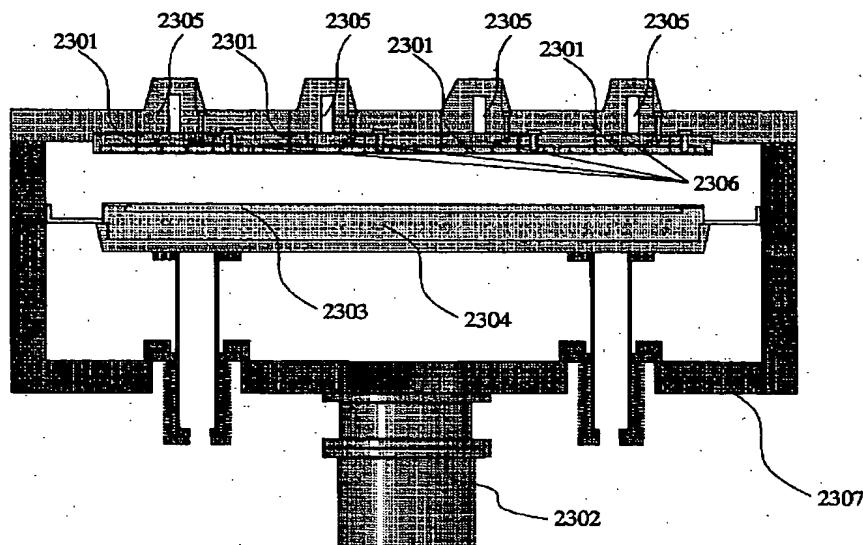
【図21】



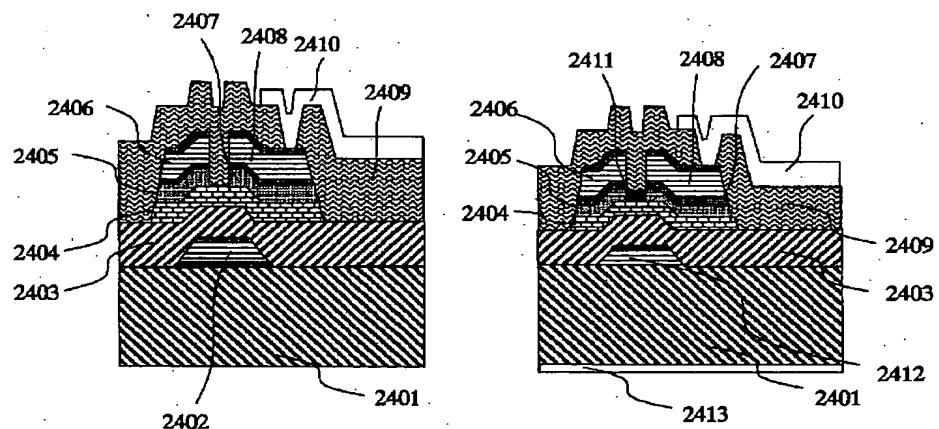
【図22】



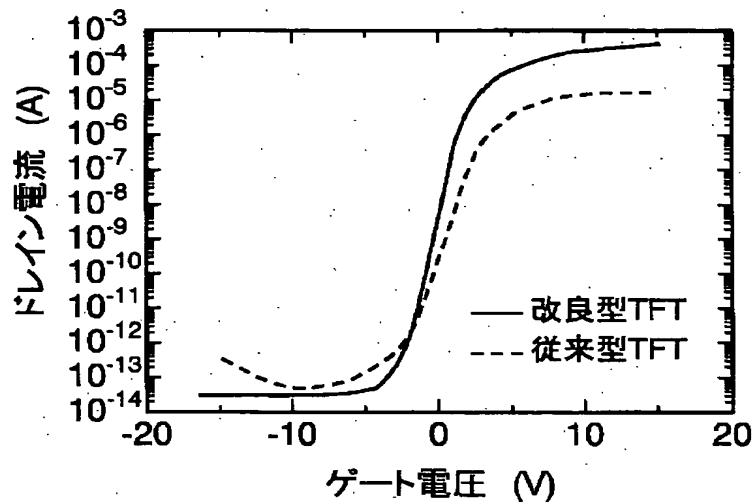
【図23】



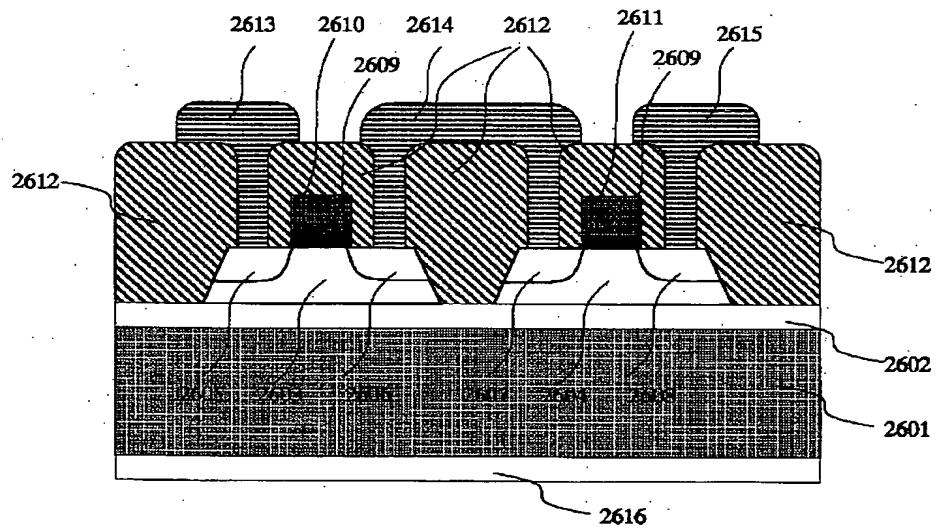
【図24】



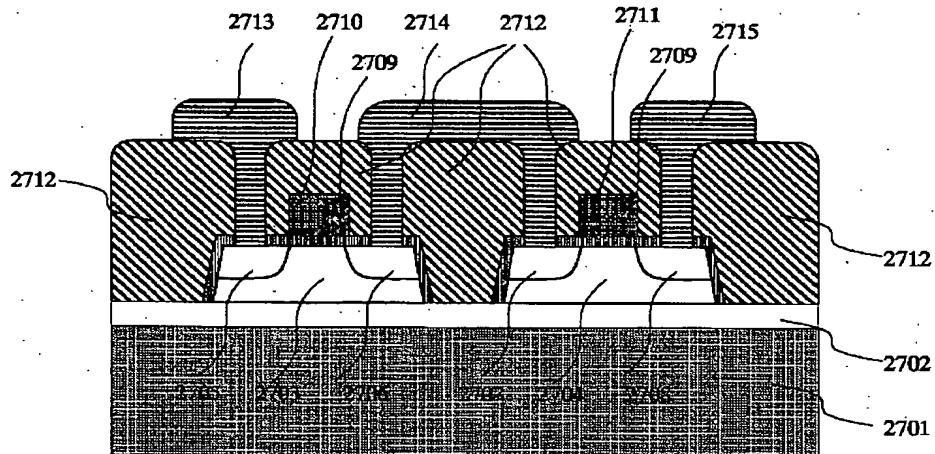
【図25】



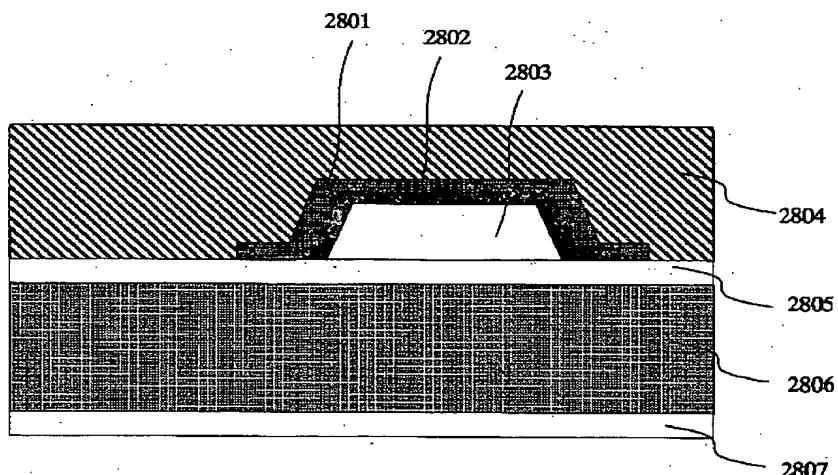
【図26】



【図27】



【図28】




---

フロントページの続き

(51) Int. Cl. 7

H 01 L 21/336  
H 05 H 1/46

識別記号

F I  
H 01 L 29/78

マーク (参考)

6 1 7 V  
6 1 9 A

F ターム(参考) 5F040 DA00 DA05 DB01 DB03 DC01  
EB12 EB17 ED03 ED06  
5F048 AA01 AA07 AA08 AC01 AC04  
BA16 BB04 BB09 BB11 BB12  
BE08 BG07  
5F058 BA06 BA20 BC02 BF54 BF73  
BJ10  
5F110 AA04 AA06 AA17 BB02 BB04  
CC02 CC07 DD01 DD02 DD12  
DD13 DD14 DD17 EE01 EE04  
FF02 FF03 FF07 FF09 FF25  
FF36 GG02 GG13 GG15 GG25  
GG35 HK03 HK04 HK16 HK22  
NN22 NN23 NN26 NN62 NN72